

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-244043
 (43)Date of publication of application : 03.12.1985

(51)Int.CI. H01L 21/76
 H01L 27/08
 // H01L 29/78

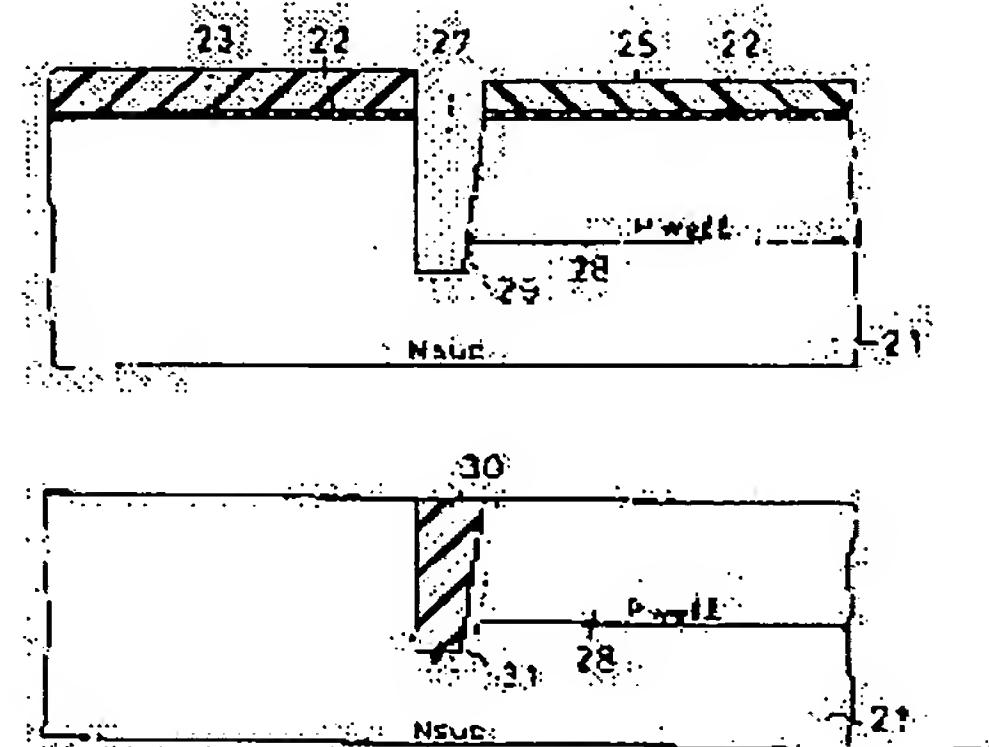
(21)Application number : 59-099236 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 17.05.1984 (72)Inventor : NAGAKUBO YOSHIHIDE

(54) MANUFACTURE OF COMPLEMENTARY SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable to reduce the junction leakage current by a method wherein an inversion preventing layer is formed on the inclined plane of one side of the sidewalls of a groove through an element isolation material buried in the groove.

CONSTITUTION: Firstly, a CVD oxide film (first coated film) 23 and a 6μm thick silicon nitriding film (second coated film) 25 is deposited on the surface of an N type silicon substrate 21 and a photo resist (high-molecular film) 26 is applied. Then, a 5μm deep groove 27 is formed by performing an anisotropic etching. At this time, one side of the sidewalls of the groove 27 is formed in a vertical plane to the main surface of the substrate 21 in the region other than the well region and the other one is formed in an inclined plane to make an obtuse angle with the base of the groove 27. Subsequently, an ion-implantation is performed to form boron doped layers 29 on the base of the groove 27 in the substrate 21 and the inclined plane, and P- type inversion preventing layers 31 are formed. As the P- type inversion preventing layer 31 is being formed on the inclined plane of one side of the sidewalls through a CVD oxide film 30, which is an element isolation material, in such a way, the junction leakage current between both regions holding the groove between them can be reduced.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]



⑫ 公開特許公報 (A)

昭60-244043

⑬ Int.CI. 1

H 01 L 21/76

27/08

// H 01 L 29/78

識別記号

102

厅内整理番号

S-7131-5F

6655-5F

8422-5F

⑭ 公開 昭和60年(1985)12月3日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 相補型半導体装置の製造方法

⑯ 特願 昭59-99236

⑰ 出願 昭59(1984)5月17日

⑱ 発明者 長久保吉秀 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
 ⑲ 出願人 株式会社東芝 川崎市幸区堀川町72番地
 ⑳ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

相補型半導体装置の製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板のウェル領域予定部上以外に第1の被膜を形成する工程と、該第1の被膜をマスクとして第2導電型の不純物をイオン注入する工程と、全面に第2の被膜を形成する工程と、ウェル領域予定部上の第2の被膜上に高分子膜を形成する工程と、該高分子膜をマスクとして前記第2の被膜の一部をエッチングする工程と、熱処理により前記高分子膜の端部の形状を変形させる工程と、異方性エッチングにより基板をエッチングし、基板の側壁の一方が基板正面に対して垂直面、他方が基板正面に対して鋭角をなす傾斜面となるように溝を形成する工程と、熱処理により第2の不純物を拡散させて第2導電型のウェル領域を形成する工程と、第1の被膜及び第2の被膜をマスクとして不純物をイオン注入することにより反転防止層を形成する工程と、第1及び

第2の被膜を除去した後、前記構の内部に素子分離材を埋設する工程と、該素子分離材以外の素子領域にMOSトランジスタを形成する工程とを具備したことを特徴とする相補型半導体装置の製造方法。

(2) 全面にスピンコートにより形成した高分子膜を全面エッチバックすることによりウェル領域予定部上の第2の被膜上に高分子膜を形成する特許請求の範囲第1項記載の相補型半導体装置の製造方法。

(3) 120℃以上の熱処理により高分子膜の端部の形状を変形させる特許請求の範囲第1項記載の相補型半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は相補型半導体装置の製造方法に関し、特に相補型半導体装置の素子分離に使用されるものである。

(発明の技術的背景とその問題点)

従来、半導体装置の素子分離法としては窒化シ

リコン膜を耐酸化性マスクとして利用する選択酸化法 (LOCOS法) が最も一般的に使用されている。しかし、この方法はバースピーク、ホワイトリボンの発生等の欠点を有することから将来の高集積半導体装置の素子分離には不適当である。特に、CMOS半導体装置においては、素子分離酸化膜の幅を大きくしなければラッチアップを防止する効果がほとんどないため、高集積化を妨げる原因となっている。

そこで、第1図に示されるような埋込み型の素子分離技術 (トレンチアイソレーション) が注目されている。第1図において、例えばP型シリコン基板1の正面には溝が形成され、この溝の内部には素子分離材2が埋設されている。この素子分離材2によりP型ウェル領域3とウェル領域3以外の基板1とが分離されている。ウェル領域3以外の基板1上にはゲート酸化膜4を介してゲート電極5が形成され、ゲート電極5の両側方の基板1表面にはP⁺型ソース、ドレイン領域6、7が形成されてPチャネルMOSトランジスタが構成

- 3 -

埋込み型素子分離技術を用いた場合の接合リーキ電流を低減し得る相補型半導体装置を簡便に製造し得る方法を提供しようとするものである。

(発明の概要)

本発明の相補型半導体装置の製造方法は、第1導電型の半導体基板のウェル領域予定部上以外に第1の被膜 (例えばCVD酸化膜) を形成する工程と、該第1の被膜をマスクとして第2導電型の不純物をイオン注入する工程と、全面に第2の被膜 (例えば窒化シリコン膜) を形成する工程と、ウェル領域予定部上の第2の被膜上に高分子膜 (例えばホトレジスト) を形成する工程と、該高分子膜をマスクとして前記第2の被膜の一部をエッチングする工程と、熱処理により前記高分子膜の端部の形状を変形させる工程と、異方性エッチングにより基板をエッチングし、基板の側壁の一方が基板正面に対して垂直面、他方が基板正面に対して鈍角をなす傾斜面となるように溝を形成する工程と、熱処理により第2の不純物を拡散させて第2導電型のウェル領域を形成する工程と、第

- 5 -

されている。一方、ウェル領域3上にはゲート酸化膜4を介してゲート電極5が形成され、ゲート電極5の両側方の基板1表面にはN⁺型ソース、ドレイン領域8、9が形成されてNチャネルMOSトランジスタが構成されている。

上述した埋込み型素子分離技術では基板1の正面が平坦化され、微細な配線の断線を防止できるうえにCMOSにおけるラッチアップも有効に防止できるという利点がある。

しかし、従来の埋め込み型素子分離技術では溝の内部の素子分離材を介して互いに対向する基板の側壁の一方にのみ反転防止用の拡散層を形成することができないので、素子分離材に接してPN接合を形成すると、接合リーキ電流が大きくなるという欠点がある。特に、N⁺型拡散層、例えば第2図に示す如くN⁺型ソース、ドレイン領域8、9を形成した場合には素子分離材2に沿った接合リーキ電流が顕著となる。

(発明の目的)

本発明は上記事情に鑑みてなされたものであり、

- 4 -

1の被膜及び第2の被膜をマスクとして不純物をイオン注入することにより反転防止層を形成する工程と、第1及び第2の被膜を除去した後、前記溝の内部に素子分離材を埋設する工程と、該素子分離材以外の素子領域にMOSトランジスタを形成する工程とを具備したことを特徴とするものである。

このような方法によれば、従来の方法に写真蝕刻工程を追加することなくウェル領域、素子分離用の溝及び反転防止層をセルフアラインで形成することができるので、極めて簡便な工程で接合リーキ電流を防止し得る相補型半導体装置を製造することができる。

(発明の実施例)

以下、本発明の実施例を第3図(a)～(h)を参照して説明する。

まず、N型シリコン基板21表面に膜厚500Åの熱酸化膜22を形成する。次に、全面に膜厚1μmのCVD酸化膜 (第1の被膜) 23を堆積した後、ウェル領域予定部上の部分を選択的にエッ

- 6 -

チングする。つづいて、CVD酸化膜23をマスクとしてPウェル形成のためのポロンを加速エネルギー100keV、ドーズ量 $3 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入してポロンドープ層24を形成する。つづいて、全面に膜厚0.6μmの窒化シリコン膜（第2の被膜）25を堆積し、更にスピニコートにより全面にホトレジスト（高分子膜）26を塗布する（第3図（a）図示）。つづいて、プラズマエッティングによりホトレジスト26を全面エッチバックすることによりウェル領域予定部上の窒化シリコン膜24上にホトレジスト26を残存させる（同図（b）図示）。

次いで、CVD酸化膜23及びホトレジスト26をマスクとしてプラズマエッティングにより窒化シリコン膜25をエッティングする。この際、プラズマエッティングは等方性エッティングであるため、ホトレジスト26下の窒化シリコン膜25もサイドエッティング（アンダーカット）され、基板21上の熱酸化膜22の一部が露出する（同図（c）図示）。つづいて、1200°Cで熱処理を行ない、ポロンドープ層24のポロンを拡散させてP型ウェル領域2

- 7 -

（ベーリング）を行ない、窒化シリコン膜25の端部から延出しているホトレジスト26の端部を基板21主面に沿って先端へ向かうに従い膜厚が減少するように変形させる（同図（d）図示）。

次いで、異方性エッティングにより露出した熱酸化膜22及び基板21をエッティングし、深さ4.5μmの溝27を形成する。この際、基板21のエッティングの進行とともにホトレジスト26はエッティング選択比の関係から徐々にエッティングされるので、ウェル領域以外の素子領域側では基板21の側壁の一方（ウェル領域以外の素子領域側）は基板21主面に対して垂直面となり、他方（ウェル領域側）はホトレジスト26の端部の膜厚に応じて徐々にエッティングされ始め、基板21に対して鈍角をなす傾斜面となる。また、ホトレジスト26が完全にエッティングされても窒化シリコン膜25がエッティングのマスクとなるので、ウェル領域予定部の基板21はエッティングされない。つづいて、1200°Cで熱処理を行ない、ポロンドープ層24のポロンを拡散させてP型ウェル領域2

- 8 -

を形成する（同図（e）図示）。つづいて、CVD酸化膜23と窒化シリコン膜25をマスクとしてポロン（ B^+ ）を $3 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でイオン注入して溝27内の基板21の底面及び傾斜面にポロンドープ層29を形成する（同図（f）図示）。つづいて、窒化シリコン膜25、CVD酸化膜23及び熱酸化膜22を除去した後、全面に素子分離材となるCVD酸化膜を堆積し、更に全面エッチバックすることにより溝27内にCVD酸化膜30を埋設する。つづいて、熱処理によりポロンドープ層29を活性化させ、P-型反転防止層31を形成する（同図（g）図示）。

次いで、ウェル領域28以外の基板21上及びウェル領域28上にゲート酸化膜32、32を介してゲート電極33、33を形成する。つづいて、ゲート電極33をマスクとしてウェル領域28に選択的にヒ素をイオン注入することによりN+型ソース、ドレイン領域34、35を形成する。つづいて、ゲート電極33をマスクとしてウェル領

域28以外の基板21に選択的にポロンをイオン注入することによりP+型ソース、ドレイン領域36、37を形成する。つづいて、全面に層間絶縁膜38を堆積した後、コンタクトホールを開孔し、更に全面に配線金属を蒸着した後、バクーニングして配線39、…を形成し、CMOSを製造する（同図（h）図示）。

第3図（h）図示のCMOSは、溝の内部に埋設された素子分離材であるCVD酸化膜30を介して互いに対向する基板21の側壁の一方（NチャネルMOSトランジスタ側）の傾斜面、すなわちN+型ソース、ドレイン領域34、35とP型ウェル領域28との接合点が形成される面にP+型反転防止層31が形成されているので、両者の間の接合リード電流を低減することができ、素子特性を向上することができる。

しかして上記方法によれば、第3図（a）の工程で第1の被膜であるCVD酸化膜23を形成した後は、同工程におけるウェル形成のためのイオン注入、同図（c）の工程における素子分離膜に

- 9 -

- 10 -

対応する開口部の形成、同図(e)の工程における溝27の形成、同図(f)の工程における反転防止用のイオン注入等選択的に行なうべき工程を全てセルフアラインで行なうことができるため、従来の方法に写真蝕刻法を追加することなく上述したような接合リード電流を低減した素子特性の良好なCMOSを製造することができる。

なお、上記実施例では溝の内部にCVD酸化膜を埋設したが、これに限らず例えは溝の内部表面に熱酸化膜を形成した後、多結晶シリコンを埋設してもよい。

(発明の効果)

以上詳述した如く本発明によれば、埋込み型素子分離技術を用いた場合に接合リード電流を有効に防止し得る相補型半導体装置を容易に製造し得る方法を提供できるものである。

4. 図面の簡単な説明

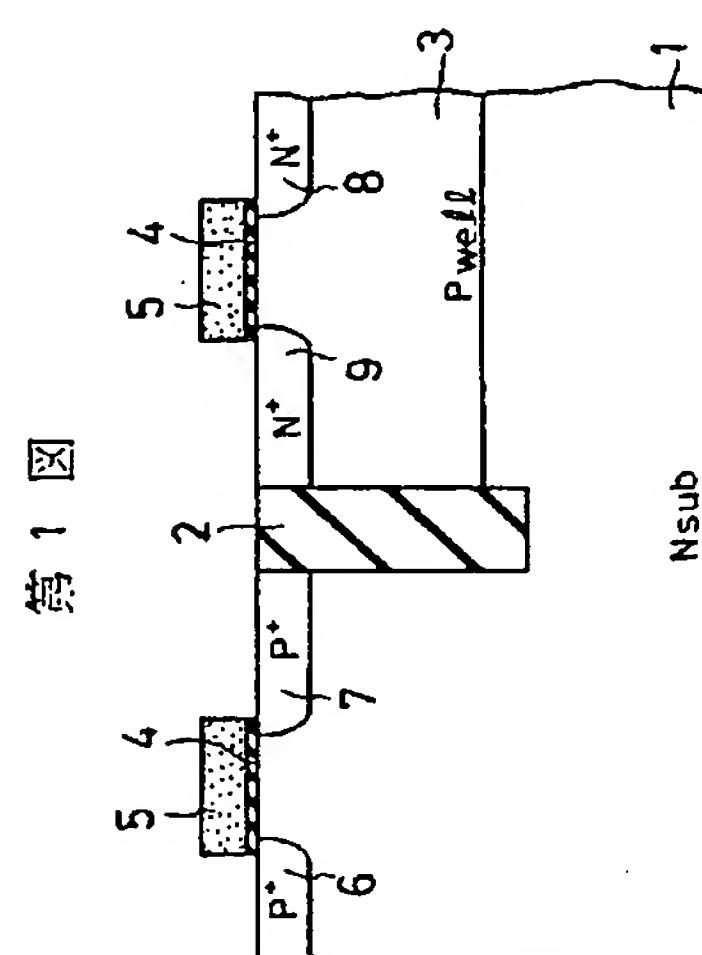
第1図は従来の埋込み型素子分離技術を用いて製造されたCMOSの断面図、第2図は同CMOSの欠点を示す説明図、第3図(a)~(h)は

本発明の実施例におけるCMOSの製造方法を示す断面図である。

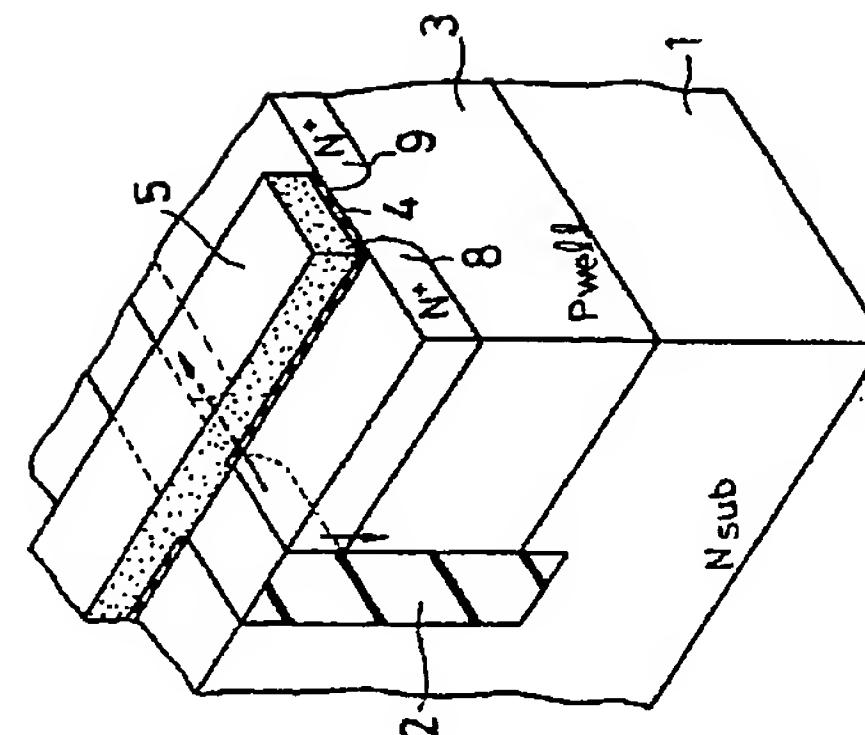
21…N型シリコン基板、22…熱酸化膜、23…CVD酸化膜、24…ポロンドープ層、25…窒化シリコン膜、26…ホトレジスト、27…溝、28…P型ウェル領域、29…ポロンドープ層、30…CVD酸化膜、31…P⁺型反転防止層、32…ゲート酸化膜、33…ゲート電極、34、35…N⁺型ソース、ドレイン領域、36、37…P⁺ソース、ドレイン領域、38…肩間絶縁膜、39…配線。

出願人代理人 弁理士 錦江武彦

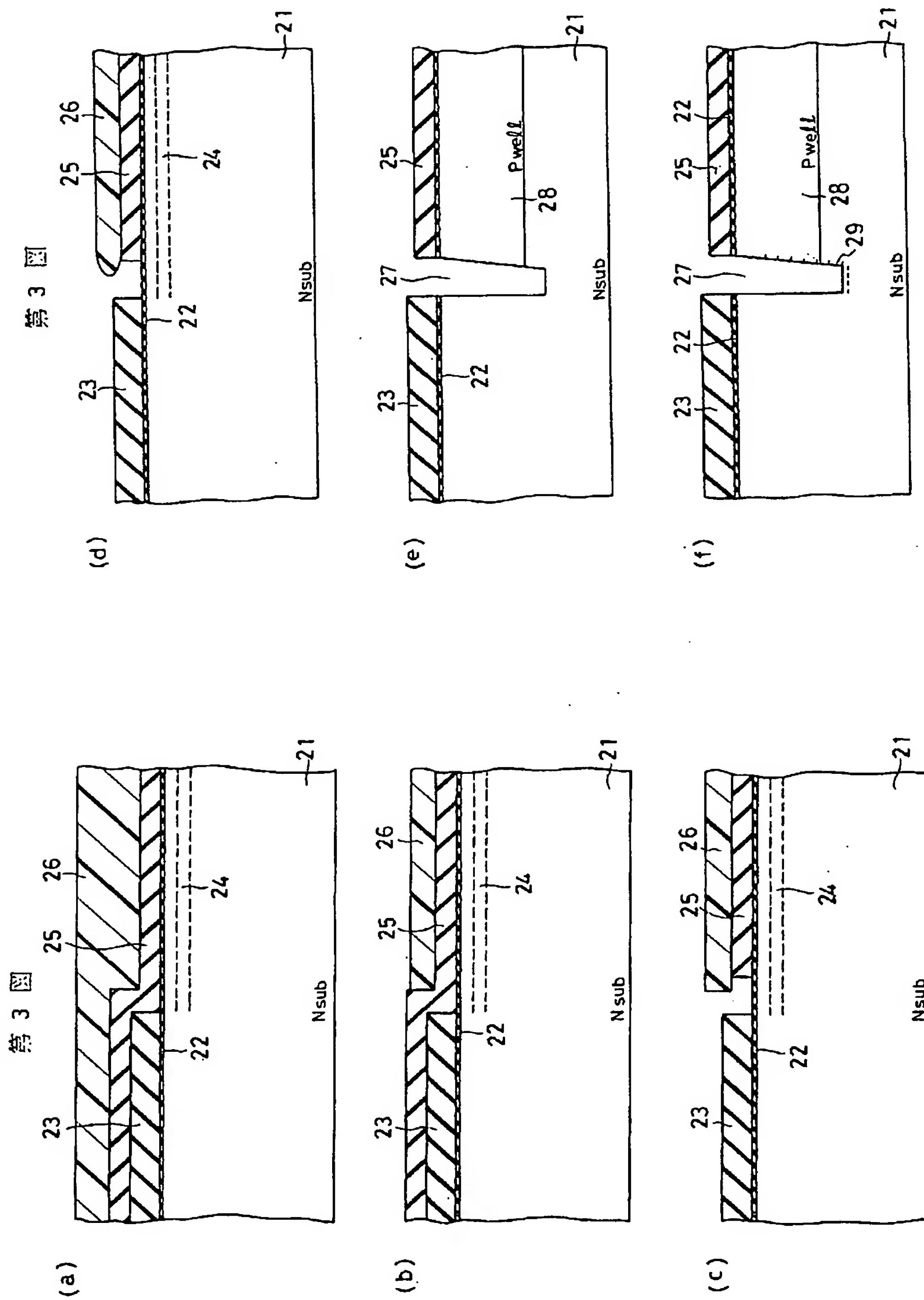
- 12 -



第1図

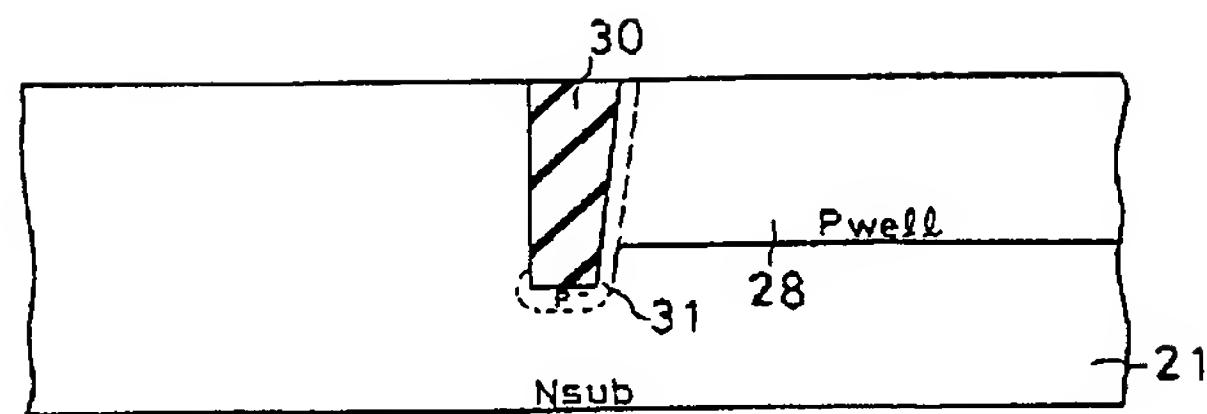


第2図



第3図

(g)



(h)

